

# Scalable Multi-Core SoC Platform and Its Applications

著者	松本 祐教
号	12
学位授与番号	46
URL	<a href="http://hdl.handle.net/10097/37863">http://hdl.handle.net/10097/37863</a>

氏名（本籍地）	まつもと ゆうこう 松本 祐教
学位の種類	博士（情報科学）
学位記番号	情 第 46 号
学位授与年月日	平成 19 年 3 月 8 日
学位授与の要件	学位規則第 4 条第 2 項該当
最終学歴	昭和 61 年 3 月 青山学院大学大学院理工学研究科電子工学専攻 博士前期課程修了
論文題目	Scalable Multi-Core SoC Platform and Its Applications (スケーラブルなマルチ・コア SoC 設計基盤とその応用に関する研究)
論文審査委員	(主査) 東北大学教授 中村 維男 東北大学教授 小林 広明 東北大学教授 青木 孝文 東北大学講師 鈴木 健一

## 論文内容の要旨

### 第 1 章 序論

近年の ICT (情報通信技術) の普及により、有線及び無線通信による高精細で大容量の音楽、画像、動画等のデジタルコンテンツ流通が急速に増大し、これらを扱う電子情報機器の処理性能向上が要求されている。特に携帯電話、PDA、デジタルカメラ、MP3 プレーヤ等の高性能な携帯型情報機器においては、電池容量の増大が年率 4% 程度に限られており、消費電力を増加させずに処理能力を向上させる手法の確立が重要な研究課題となっている。従来、マクロプロセッサの処理性能は、主に半導体の微細化に伴うスケーリングに則った動作周波数の向上に頼ってきた。しかし、発熱や消費電力の増加の問題から単一プロセッサの動作周波数の向上による処理性能の向上には限界が見えてきた。また、特に組込みプロセッサを含む SoC (システム・オン・チップ) では、集積度の向上に伴う設計の複雑化や開発費の上昇が課題となっており、その一方で電子情報機器の市場の製品投入サイクルの短期化、派生製品の増加等から SoC の効率の良い設計手法確立の要求が高まっている。本論文では、マルチ・コア型の SoC をスケーラブルに効率良く開発するための設計基盤の研究結果、及びそれを応用した性能電力比の高いマルチ・コア型アプリケーション・プロセッサ SoC の研究結果について論じる。

本研究では、高い性能を電力効率の高い方法でマルチ・コア SoC として実現するために、主に次の 2 つのアプローチを採っている。

- ータスク・レベルの並列性とアプリケーションに特化した命令セット・アーキテクチャ (ISA) を追及し、各クロック・サイクルでの演算処理量を増加させることにより高性能化をはかる
- ー高いエネルギー効率を得るために、クロック・レートを下げる

### 第 2 章 スケーラブルなマルチ・コア SoC 設計基盤

SoC の開発コストの低減、開発リスクの最小化、更に短時間での SoC の派生品の提供による製品の市場投入間隔の短縮を目標に、プロセッサおよびソフトウェアのコア・モジュールの計画的な再利用を徹底するスケーラブルなヘテロジニアス・マルチプロセッサ設計基盤、TOPSTREAM™アーキテクチャを開発した。本設計基盤を使用することにより、高性能でエネルギー効率の高い設計を短期間で実現可能となる。本設計基盤は、制御用のマスタ・コントローラ (MC) として 32 ビットの RISC プロセッサと最大 8 つまでのデータ処理プロセッサ (DPE) を効率よく集積する機構を備える。各 DPE は SoC の応用に応じて、様々な種類のアプリケーション特化型プロセッサとして実装

される。本設計基盤は、TOPSTREAM™バスと呼ばれる分散アービトレーション方式の128ビットのバスとして、命令用のI-bus、データ用のD-bus、システム用のS-busの3つのバスを提供する。本バスは、分散アービトレーション方式によりDPEのスケラブルな集積を可能とするだけでなく、50MHzで最大2.4GB/sという高いバンド幅でレイテンシーの小さなメモリアクセスを可能とする。また、バス・プロトコルとしてスプリット・トランザクションや共有メモリへの排他アクセスを可能とするロック機構をサポートし、マルチ・バス・マスタおよびマルチ・バス・スレーブにスケラブルに対応する新しいアービトレーション・アルゴリズムを採用している。また、本設計基盤は、周辺I/O用のIPを集積するためのオン・チップ・ペリフェラル・バスを提供する。更に、具体的な応用に対して、プロセッサ間のメモリのコヒーレンシーの問題による設計の複雑化、メモリアクセス遅延のオーバーヘッド、及び消費電力の向上を回避する方法により、メモリ階層の最適化を可能とする。即ち、各DPE内の汎用レジスタやデータ・レジスタの数、各DPE固有のスクラッチ・パッド・メモリの容量、DPE間で共用のグローバルなスクラッチ・パッド・メモリである命令用メモリ(IM)およびデータ用メモリ(DM)の容量を具体的な応用向けのSoCを構成する際に最適化できる機構を提供する。そのため本設計基盤の提供するメモリ空間は、メモリ、スクラッチ・パッド・メモリ、I/Oの3つの領域で構成する。また、汎用レジスタやデータ・レジスタは、16レジスタを1つのバンクとして各レジスタ・バンクを2つの読出しポートと1つの書込みポートを有する実装コストと消費電力の低い単純なレジスタ・ファイル構成とし、最大16レジスタ・バンク(最大256レジスタ)を搭載可能とする。この多バンク構成のレジスタ・ファイルをレジスタ・ファイルとメモリ間のデータ転送用と演算処理用とにプロセッサの命令により動的に切り替えることにより、データ転送と演算の並列化を低コストで実現している。この多バンク構成のレジスタ・ファイルを用いる並列処理機構および分散アービトレーション方式のスケラブルなバス・アーキテクチャにより、本設計基盤はDPEの数の増加により、ほぼ線形に性能が向上するという評価結果を示している。

また本論文では、上述の本設計基盤のアーキテクチャおよびハードウェア設計に加え、マルチ・コアSoCのソフトウェアの機能評価や性能評価のための設計環境の構築方法を示している。即ち、オブジェクト指向の実装によりアプリケーション特化型プロセッサの実装を容易にするマルチ・コア対応の高速命令セット・シミュレータ、及びマルチ・コアSoC設計のソースコードであるRTL言語記述から直接Cベース言語記述のサイクル・ベース・シミュレータに変換することによりサイクル精度でRTLの約200倍高速なマルチ・コア対応コンフィギュラブル・サイクル・アキュレート・シミュレータの設計方法を示している。RTL設計時にデータ・パス設計用に任意のビット幅に対応するベクター化された設計コンポーネントと、制御論理回路設計用に真理値表に基づく機能表現を用いる設計コンポーネントを用意し、RTL設計の抽象度を向上させ、RTL言語記述からCベース言語記述への変換を容易にし、かつRTL言語記述による設計効率を向上させている。

### 第3章 MPEG-4への応用

本設計基盤であるTOPSTREAM™アーキテクチャを用いて、携帯電話等の電池駆動型情報機器向けにMPEG-4に代表されるピクセル・ブロック・ベースの動画の圧縮符号化を低消費電力で実現するマルチ・コアSoC、TOPSTREAM™ MPEG-4の実現例を示す。MPEG-4のシンプル・プロファイルでCIF(352x288ペル)の動画を毎秒15フレームで圧縮・伸張するアプリケーション・プロセッサSoCには、約3,000MIPSの演算処理能力を必要とする。一方、携帯電話等におけるアプリケーション・プロセッサの消費電力は、実用的な制約から100mW以下であることが要求される。従って、30MIPS/mWという専用ハードウェアに匹敵する高い性能電力比が求められる。更に、このようなSoCの設計には、ハードウェアやソフトウェアの再利用を進め、将来的なLCD表示画素数の増加やH.264等の新しい圧縮符号化標準技術への対応が可能なスケラビリティが求められる。本研究では、TOPSTREAM™アーキテクチャに基づく設計基盤を用いて、1つのRISCプロセッサと、MPEG-4を初めとする圧縮符号化標準等のアプリケーションに特化

した 64-bitSIMD 型のプロセッサ(MPE)を 4 つ搭載し、且つ各 MPE に 64 本の 64 ビットのデータ・レジスタ、そして DM に 2MByte のオンチップ・メモリを搭載することにより、メモリ階層を性能と消費電力の観点から最適化するマルチ・コア SoC を提案している。その結果、0.18um のテクノロジーを用い、81MHz という低い動作周波数で 2,997MIPS の性能達成しつつその消費電力を 76.1mW に抑えている。即ち、39.4MIPS/mW という高い性能電力比を得ている。

#### 第 4 章 無線 LAN への応用

本論文の設計基盤をもう 1 つの応用例として、Wi-Fi 無線ネットワーク接続により IP 電話機能や高速インターネット・アクセスを可能とする携帯電話等の電池駆動型情報機器向け無線 LAN を低消費電力で実現する、TOPSTREAM™ WLAN の実現例を示す。IEEE 802.11b 標準に準拠する MAC および PHY の処理には、ARM9 クラスの CPU と、約 600MHz の 8-wayVLIW 型の DSP と FPGA により約 3,000MIPS 相当の演算処理能力を必要とする。本研究では、ソフトウェアのアルゴリズムとハードウェアとしてのプロセッサのアーキテクチャの両面から最適化を図り、MAC の基本処理用の 32 ビット RISC プロセッサ(MC)、セキュリティ処理専用の 32 ビット RISC プロセッサ(SPE)、PHY のフロント・エンド(PHE)のマッチド・フィルタおよびフェーズシフタ、変復調信号処理用の 128 ビット SIMD 型プロセッサ(WPE)、パケット処理用の 32 ビット RISC プロセッサ(RPE)の 4 つの異なる種類のアプリケーション特化型プロセッサの並列処理により低消費電力で実現する方法を示している。特に、PHE と WPE では外部 RF モジュールからの I/Q 信号を符号絶対値表現を用いた複素数(虚数部と実数部)として演算処理することにより、演算処理量と消費電力を削減している。また、WPE は SIMD 型の積和演算等に加え Fast Walsh Transform(FWT)等の高負荷の演算処理に対応する高機能命令をサポートする。そして、このような高機能命令の演算処理と SIMD 命令や一般の論理算術演算命令の演算処理に必要な演算要素を共通化することによって高速、コンパクト、かつ低電力な複合演算器を実装している。その結果、0.18um のテクノロジーを用いて 50MHz と低い動作周波数で、100mW で約 3,000MIPS の性能を実現している。その性能電力比は 30MIPS/mW に達し、専用 ASIC による実装例の 15MIPS/mW や高性能 DSP による実装例 1.5MIPS/mW を凌ぐ結果を得た。

#### 第 5 章 結論および今後の研究

本研究では、マルチ・コア SoC の設計基盤として、携帯情報機器に求められるスケーラブルで低消費電力なマルチ・コアを効率よく設計するための設計基盤を確立した。また、その応用例として、MPEG-4 用と無線 LAN 用の 2 つの高性能・低消費電力マルチ・コア SoC の実現方法を示した。どちらも 30MIPS/mW 以上と、従来のプロセッサ(1~10MIPS/mW)を凌ぎ、また専用ハードワイヤードの ASIC と同等以上の高い性能電力比を示している。

今後は、シリコン上での消費電力プロファイリングによる評価、データや命令のローカリティの最適化を進める手法の確立等、更に高い性能電力比を追求するための研究が期待される。

## 論文審査結果の要旨

近年の情報通信技術の普及により、通信による情報流通が急速に拡大する一方で、それらの情報を携帯機器で利用する必要性が高まっている。このため、小さな消費電力で高い処理能力を持つ SoC の設計手法の確立が求められている。本論文は、マルチコア型の組込み用マイクロプロセッサを核とする SoC について論じ、低電力高性能の SoC を効率よく開発する設計基盤を確立しているもので、全編 5 章からなる。

第 1 章は緒論であり、現在のマイクロプロセッサと SoC の性能に関する考察に基づき、優れたマルチコア型 SoC の設計基盤を確立するための方針を提示している。

第 2 章では、前章で示された設計方針を基に、スケーラブルな非対称マルチプロセッサ設計基盤を提案している。この設計基盤は、各モジュールの計画的な再利用により、開発コストの低減、開発リスクの最小化、市場投入までの期間の短縮を図っている。本設計基盤では、分散アービトレーションによるバス制御方式を確立することで、基本となる制御用 RISC プロセッサへのアプリケーション特化型プロセッサの自由な追加を可能にしている。既存の設計基盤が限定された対象にしか適用できていないのに対し、本設計基盤は広範なアプリケーションに対する専用の SoC の設計を低コストで実現するものであり、極めて画期的である。

第 3 章では、提案した設計基盤を用いて、MPEG-4 に代表される画像の圧縮符号化用途のマルチ・コア SoC を実設計している。携帯電話等におけるプロセッサには、30MIPS/mW と専用ハードウェアに匹敵する高い性能電力比が求められる。本設計基盤により、RISC プロセッサ 1 個とアプリケーション特化型 SIMD プロセッサ 4 個からなる SoC を設計し、39.4MIPS/mW という高い性能電力比を実現している。これは、本設計基盤が低電力高性能な SoC を設計する際に非常に有効であることを示している。

第 4 章では、本設計基盤を用いて、電池駆動型情報機器の無線 LAN インタフェース用マルチコア SoC を実設計している。設計された SoC の性能電力比は、30MIPS/mW に達し、専用 ASIC による実装例を凌駕している。これは、本設計基盤が、高演算処理能力と低消費電力を要求されるアプリケーションに対し特に有効であることを示しており、非常に有益な成果である。

第 5 章は、本論文を総括し、結論としている。

以上、要するに本論文は、SoC の基本設計基盤を確立し、その設計基盤の有効性を実設計により明示したものであり、計算機科学ならびに情報基礎科学の発展に寄与するところが少なくない。

よって、本論文を博士（情報科学）の学位論文として合格と認める。